

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064432

(43)Date of publication of application : 06.03.1998

---

(51)Int.Cl.

H01J 11/02  
G09F 9/313

---

(21)Application number : 08-219521 (71)Applicant : FUJITSU LTD

(22)Date of filing : 21.08.1996 (72)Inventor : SASAO HIROMICHI  
NAKAHARA HIROYUKI  
TOMIOKA TETSUYOSHI  
YOSHIKAWA KAZUO  
KANAGU SHINJI

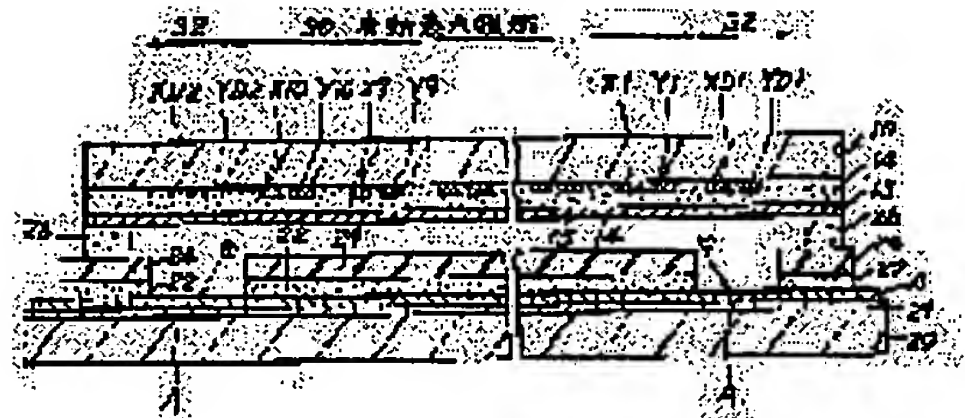
---

(54) PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the storage of abnormal charges, due to accidental discharge by forming a leak electrode which is exposed in a discharge space, on a first or a second substrate which is outside of an effective display area, formed with plural display electrodes.

SOLUTION: A silicon oxide film 21, an address electrode A, a dielectric layer 22 and a phosphor layer 24 are formed on a display side glass substrate 10. The glass substrate 10 and a back surface side glass substrate 20 are sealed by the sealing material 26 made of low-melting point glass. The dielectric layer 22 and the phosphor layer 24 of the area 32 outside of the effective display area 30, which is formed with display electrodes X1, Y1-X10, Y10 are eliminated, and the address electrode A is exposed in a discharge space.



---

## LEGAL STATUS

[Date of request for examination]	12.12.2002
[Date of sending the examiner's decision of rejection]	06.07.2004
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3636250
[Date of registration]	14.01.2005
[Number of appeal against examiner's decision of rejection]	2004-16169
[Date of requesting appeal against examiner's decision of rejection]	05.08.2004
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64432

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl.<sup>8</sup>

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 J 11/02

H 0 1 J 11/02

B

G 0 9 F 9/313

G 0 9 F 9/313

A

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平8-219521

(22) 出願日 平成8年(1996) 8月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 笹尾 弘通

鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内

(72) 発明者 中原 裕之

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 土井 健二 (外1名)

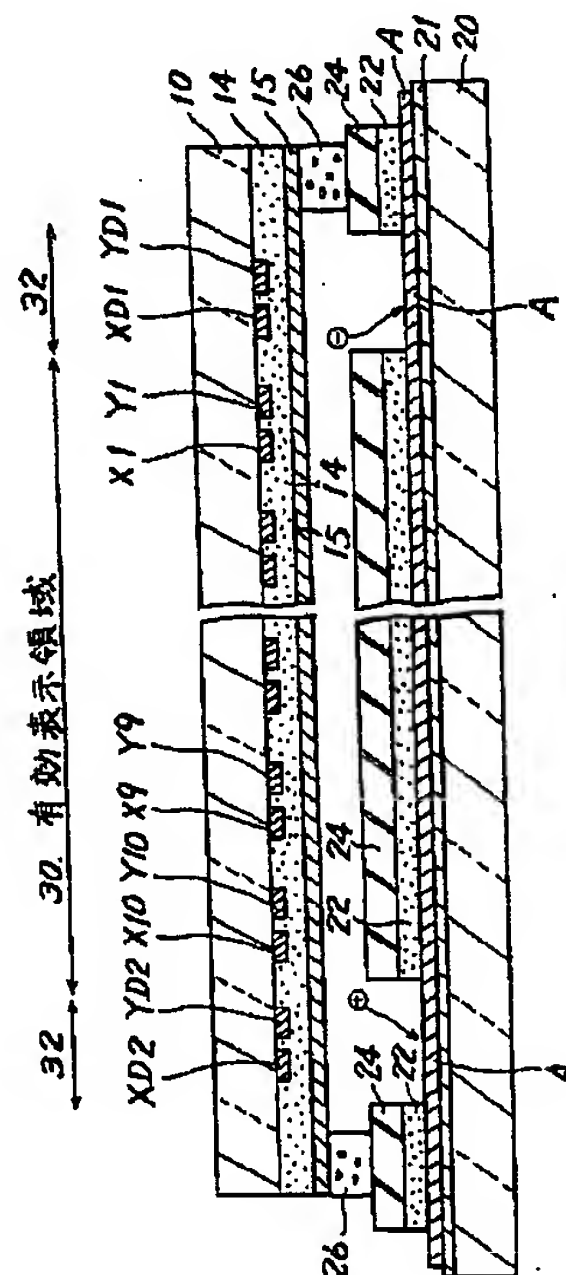
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネル

(57) 【要約】

【課題】空間電荷の蓄積により偶発的に発生する放電を防止する。

【解決手段】表面上に複数のアドレス電極とそれを被覆する第一の誘電体層とが形成された第一の基板と、表面上にアドレス電極と交差する面放電用の複数の平行な表示電極とそれを被覆する第二の誘電体層とが形成された第二の基板とを有し、その第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、前記の複数の表示電極が形成された有効表示領域の外側に、前記第一または第二の基板上に形成され、放電空間に露出され、所定の電位に接続されたリーク電極部を有することを特徴とする。より具体的には、アドレス電極が、複数の表示電極が形成された有効表示領域の外側の領域において、放電空間に露出される部分を有する。



## 【特許請求の範囲】

【請求項1】表面上に複数のアドレス電極と、該アドレス電極を被覆する第一の誘電体層とが形成された第一の基板と、  
表面上に前記アドレス電極と交差する面放電用の複数の平行な表示電極と、該表示電極を被覆する第二の誘電体層とが形成された第二の基板とを有し、  
該第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、  
前記複数の表示電極が形成された有効表示領域の外側に、前記第一または第二の基板上に形成され、該放電空間に露出され、所定の電位に接続されたリーク電極部を有することを特徴とするプラズマディスプレイパネル。

【請求項2】表面上に複数のアドレス電極と、該アドレス電極を被覆する第一の誘電体層とが形成された第一の基板と、  
表面上に前記アドレス電極と交差する面放電用の複数の平行な表示電極と、該表示電極を被覆する第二の誘電体層とが形成された第二の基板とを有し、  
該第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、  
前記アドレス電極が、前記複数の表示電極が形成された有効表示領域の外側の領域において、該放電空間に露出される部分を有することを特徴とするプラズマディスプレイパネル。

【請求項3】請求項2記載のプラズマディスプレイパネルにおいて、  
前記アドレス電極の露出部分上には前記第一の誘電体層が設けられていないことを特徴とする。

【請求項4】請求項3記載のプラズマディスプレイパネルにおいて、  
前記第一の誘電体層上に蛍光体層が形成され、前記アドレス電極の露出部分上には当該蛍光体層が設けられていないことを特徴とする。

【請求項5】請求項2記載のプラズマディスプレイパネルにおいて、  
前記アドレス電極の露出部分は、前記第一の誘電体層で被覆されている部分より耐酸化性が高いことを特徴とする。

【請求項6】表面上に複数のアドレス電極と、該アドレス電極を被覆する第一の誘電体層とが形成された第一の基板と、  
表面上に前記アドレス電極と交差する面放電用の複数の平行な表示電極と、該複数の表示電極の外側に並設されるダミー表示電極と、該表示電極およびダミー表示電極を被覆する第二の誘電体層とが形成された第二の基板とを有し、  
該第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、  
前記アドレス電極が、前記複数の表示電極が形成された

有効表示領域の外側の領域であって前記ダミー表示電極に対向する部分において、該放電空間に露出される部分を有することを特徴とするプラズマディスプレイパネル。

【請求項7】請求項6記載のプラズマディスプレイパネルにおいて、  
前記アドレス電極の露出部分は、前記第一の誘電体層で被覆されている部分より耐酸化性が高いことを特徴とする。

【請求項8】表面上に複数のアドレス電極と、該アドレス電極を被覆する第一の誘電体層とが形成された第一の基板と、  
表面上に前記アドレス電極と交差する面放電用の複数の平行な表示電極と、該表示電極を被覆する第二の誘電体層とが形成された第二の基板とを有し、  
該第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、  
前記複数の表示電極が形成された有効表示領域の外側に、第二の基板上に形成され、該放電空間に露出され、所定の電位に接続されたリーク電極を有することを特徴とするプラズマディスプレイパネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル（以下単にPDPと称する。）に係り、特に3電極面放電構造のAC型PDPの偶発放電を防止した構造に関する。

## 【0002】

【従来の技術】面放電のAC型PDPは、大画面のフルカラー表示装置として注目されている。特に、3電極面放電構造のPDPは、表示側のガラス基板上に面放電を発生する複数の平行な表示電極（以下X電極、Y電極と称する。）を形成し、反対側のガラス基板上にX、Y電極と直交するアドレス電極と蛍光体を形成している。そしてPDPの駆動は、X、Y電極間に放電開始電圧を越える大電圧を印加してリセットし、スキャン電極であるY電極とアドレス電極との間で放電させ、X、Y電極間に維持電圧を印加し蓄積された壁電荷を利用して輝度に応じた維持放電を行わせることを基本とする。

【0003】後に詳述するが、Y電極とアドレス電極との間で生じたプラズマ放電の結果、空間電荷が発生し、その大部分がX、Y電極上の誘電体層上に蓄積される。また、発生した空間電荷の一部は、隣のスキャン電極とY電極との書き込み放電の種火として利用される。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記の様に発生した空間電荷はその一部がスキャンと共に移動し、最初と最後のスキャン電極付近で蓄積されていく。その結果、蓄積された電荷による大電圧で偶発的に放電が発生し、画質の劣化を招くことになる。この現象は必



ずしも明確に説明されていないが、少なくとも維持放電に利用されない電荷がアドレス電極上に蓄積される為に発生することは確認されている。

【0005】そこで、本発明は上記した偶発放電の発生を防止することができるPDPの構造を提供することを目的とする。

【0006】更に、本発明の目的は、偶発放電の原因となる電荷の蓄積をなくすることができるPDPの構造を提供することにある。

【0007】

【課題を解決するための手段】上記の目的は、本発明によれば、表面上に複数のアドレス電極と、該アドレス電極を被覆する第一の誘電体層とが形成された第一の基板と、表面上に前記アドレス電極と交差する面放電用の複数の平行な表示電極と、該表示電極を被覆する第二の誘電体層とが形成された第二の基板とを有し、該第一と第二の基板が放電空間を介して対向配置されたプラズマディスプレイパネルにおいて、前記複数の表示電極が形成された有効表示領域の外側に、前記第一または第二の基板上に形成され、該放電空間に露出され、所定の電位に接続されたリーク電極部を有することを特徴とするプラズマディスプレイパネルを提供することにより達成される。

【0008】本発明は、より具体的には、前記アドレス電極が、前記複数の表示電極が形成された有効表示領域の外側の領域において、該放電空間に露出される部分を有する。

【0009】またそのアドレス電極の露出部分は、前記第一の誘電体層で被覆されている部分より耐酸化性が高いことを特徴とする。

【0010】更に、本発明の別の例では、前記アドレス電極が、前記複数の表示電極が形成された有効表示領域の外側の領域であってダミー表示電極に対向する部分において、該放電空間に露出される部分を有する。

【0011】本発明によれば、有効表示領域外にアドレス放電によって従来蓄積されていた空間電荷をリークさせる構造を提供し、偶発放電に至る電荷の異常蓄積をなくすることができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がその実施の形態に限定されるものではない。

【0013】図1は、本発明の実施の形態のPDPの分解斜視図である。また、図2は、そのPDPの表示電極対に沿った断面図である。両方の図を参照してその基本的な構造について説明する。10は表示側のガラス基板で、図の上側の方向に光が出ていく。20は、背面側のガラス基板である。表示側のガラス基板10上には、透明電極11とその上(図面上は下)に形成された導電性の高いバス電極12からなる表示電極対としてのX電極

13XとY電極13Yが形成され、PbO等の低融点ガラスからなる誘電体層14とMgOからなる保護層15で覆われている。バス電極12は、透明電極11の導電性を補うために、X電極とY電極の反対側端部に沿って設けられる。透明電極11は、例えばITOにより形成され、バス電極12は例えばCr/Cu/Crの3層構造よりなる。

【0014】背面ガラス基板20上には、例えばシリコン酸化膜からなる下地のパッシベーション膜21上に、ストライプ状のアドレス電極A1, A2, A3が設けられ、誘電体層22で覆われている。アドレス電極A1～A3は、例えばCr/Cu/Crの3層構造よりなり、誘電体層22はPbO等の低融点ガラスからなる。また、アドレス電極A1, A2, A3に隣接するようにストライプ状の隔壁(リブ)23が形成される。この隔壁23は、PbO等の低融点ガラスからなり、アドレス放電時の隣接セルへの影響を断つために光のクロストークを防ぐための二つの機能を有する。隣接するリブ23毎に赤、青、緑の蛍光体層24R, 24G, 24Bがアドレス電極上及びリブ壁面を被覆するように塗り分けられている。

【0015】また、図2に示される通り、表示側基板10と背面側基板20とは約100 $\mu$ m程度のギャップを保って組み合わされ、その間の空間25にはNe+Xeの放電用の混合ガスが封入される。

【0016】図3は、上記の3電極面放電型のPDPのX, Y電極とアドレス電極との関係を示すパネルの平面図である。X電極X1～X10は横方向に並行して配列されかつ基板端部において共通接続され、Y電極Y1～Y10はX電極の間にそれぞれ設けられかつ個別に基板端部に導出されている。これらのX, Y電極はそれぞれ対になって表示ラインを形成し、表示のための維持放電電圧が交互に印加される。尚、XD1, XD2及びYD1, YD2はそれぞれ有効表示領域の外側に設けられるダミー電極であり、パネルの周辺部分の製造プロセスによる非線形性の特性を緩和する為に設けられている。図3中は、上下左右に1本または1対づつ設けられているが、これらのダミー電極の数は適宜選択される。そして、背面側基板20上に設けられるアドレス電極A1～A14は、X, Y電極と直交して設けられる。

【0017】X, Y電極はペアになって維持放電電圧が交互に印加され、Y電極は情報を書き込む時のスキャン電極としても利用される。アドレス電極は、情報を書き込む時に利用され、情報に従ってアドレス電極とスキャン対象のY電極との間でプラズマ放電が発生される。従って、アドレス電極には1セル分の放電電流しか流す必要がない。また、その放電電圧は、Y電極との組み合わせで決まるので、比較的低電圧での駆動が可能である。このような低電流、低電圧駆動が、大表示画面を可能にしている。

【0018】図4は、具体的なPDPの駆動方法を説明する為の電極印加電圧波形図である。それぞれの電極に印加される電圧は、例えば、 $V_w=130V$ 、 $V_s=180V$ 、 $V_a=50V$ 、 $-V_{sc}=-50V$ 、 $-V_y=-150V$ であり、 $V_{aw}$ 、 $V_{ax}$ はそれぞれの他の電極に印加される電圧の中間電位に設定される。

【0019】3電極面放電型のPDPの駆動では、1つのサブフィールドがリセット期間、アドレス期間、及び維持放電期間（表示期間）から構成される。そして、1フレームは複数のサブフィールドで構成される。

【0020】リセット期間では、時刻a-bにて共通接続されたX電極に全面書き込みパルスが印加され、パネル全面でXY電極間で放電が発生する（図中W）。この放電で空間25に発生した電荷のうち、正電荷が電圧の低いY電極側に引き寄せられ、負電荷が電圧の高いX電極側に引き寄せられる。その結果、書き込みパルスがなくなる時刻bにて、今度はX電極とY電極間に上記の引き寄せられて誘電体層14上に蓄積された電荷による高電界により、再度放電が発生する（図中C）。その結果、全てのX、Y電極上の電荷が中和されてしまい、パネル全体のリセットが終了する。期間b-cはその電荷の中和に要する時間である。

【0021】次に、アドレス期間（図中c-d）では、Y電極に $-50V$ （ $-V_{sc}$ ）、X電極に $50V$ （ $V_a$ ）を印加し、Y電極に対してスキャンパルス $-150V$ （ $-V_y$ ）を順に印加しながら、アドレス電極に表示情報に従ったアドレスパルス $50V$ （ $V_a$ ）を印加する。この結果、アドレス電極とスキャン電極との間に $200V$ の大電圧が印加され、プラズマ放電（アドレス放電）が発生する。この時、リセット終了時にアドレス電極上の誘電体層22上に多少の正電荷が残っており、この正電荷がアドレス放電の種火として利用される。アドレス放電では、印加パルスがリセット時の全面書き込みパルス程は大きな電圧及びパルス幅ではないので、パルスの印加が終了しても蓄積電荷による反対の放電は生じない。そして、放電によって発生した空間電荷は、 $50V$ 印加のX電極側及びアドレス電荷側に負電荷が、 $-50V$ 印加のY電極側に正電荷がそれぞれの誘電体層14、22上に壁電荷として蓄積される。

【0022】この点は、図5の偶発放電の説明図のアドレス放電（A）（B）によりより理解される。図に示される通り、アドレス放電で発生し蓄積されるX電極とY電極上の蓄積電荷は、後の維持放電期間（図4中d以降）での維持放電の為のメモリ機能を果たす。即ち、後の維持放電電圧がX、Y電極間に印加されると、アドレス期間に放電して壁電荷が蓄積されているセルのX、Y電極間に、その維持パルス電圧と蓄積電荷の電圧とが重畳されて、維持放電がX、Y電極間で発生する。

【0023】図5（C）（D）に示される様に、スキャンパルス（ $-V_y$ ）がY電極を移動していくに従い、空

間電荷の例えば正電荷が図5の左側に移動し、負電荷は右側に移動し、両端でそれぞれ蓄積されるものと思われる。そして、上記のメモリ機能として利用されないアドレス電極上の電荷は、その後の維持放電期間でも放電せず、蓄積され（図5（C））、やがて表示領域の周辺、特に上下端のY電極近傍からアドレス電極に沿って偶発的に放電を発生させる（図5（D））。

【0024】最後に、維持放電期間では、アドレス期間で記憶された壁電荷を利用して、表示の輝度に応じた表示の放電が行われる。即ち、X、Y電極間に、壁電荷があるセルでは放電するが壁電荷のないセルでは放電しない程度の維持パルスが印加される。その結果、アドレス期間で壁電荷が蓄積されたセルではX、Y電極間で交互に放電が繰り返される。この放電パルスの数に応じて、表示の輝度が表現される。従って、このサブフィールドを複数回にわたり重み付けした維持放電期間で繰り返すことで多階調表示を可能にする。そして、RGBのセルで組み合わせることでフルカラー表示を実現できる。

【0025】〔偶発放電対策〕図5に示される通り、X、Y電極上に形成された誘電体層14上には、壁電荷が蓄積されて維持放電期間での放電に利用される。しかし、上下端のY電極近傍に転送されて蓄積された電荷は、Y電極のスキャンによる転送がなくしかも維持放電の種火としての利用がない。その為、上下端に蓄積された電荷は複数回のスキャン期間を経て大量に蓄積され、図5（D）の様に偶発放電の原因となる。

【0026】そこで、本発明では、有効表示領域の上下端の表示電極対X、Yの外側に、アドレス放電によって転送されて蓄積された空間電荷をリークする構造を採用して、偶発放電の原因となる空間電荷の蓄積を防止する。

【0027】図6は、空間電荷の蓄積を防止する為の構造を示す断面図である。アドレス電極Aに沿った断面図であり、ガラス基板10、20の両端を示す為に基板中央部分を省略している。表示側のガラス基板10と背面側のガラス基板20とは、例えばPbO等の低融点ガラスからなるシール材26により封止されている。アドレス電極Aは、前述した通りガラス基板20上にシリコン酸化膜21上に形成された導電層である。そして、その上に誘電体層22及び蛍光体層24が形成されている。図6の構造では、表示電極対X1、Y1～X10、Y10が形成されている有効表示領域30の外側の領域32において、誘電体層22と蛍光体層24が除去され、アドレス電極Aが放電空間に露出されている。有効表示領域内では、アドレス電極AはY電極との間でアドレス放電を発生させる為に、その上に誘電体層22を形成している。しかし、有効表示領域32の外側では、その様な機能は必要ないので、その部分32では誘電体層22が除去されている。

【0028】この様に、アドレス放電によって表示電極



対X、Yの上下端に転送されてきた空間電荷は、領域32での露出されたアドレス電極Aを介してリークされるので、空間電荷が蓄積されることはない。尚、リークされる電荷は、PDPの駆動用のパルス電圧に影響を与える程の量ではないので、表示の為の駆動制御に影響を及ぼすことはない。従って、アドレス電極に印加される電圧のレベルに応じて、適宜正電荷または負電荷がリークされて、偶発放電につながる電荷の蓄積が防止される。

【0029】更に、図6の例では、有効表示領域30の外側に設けられたダミーの表示電極対XD1、YD1及びXD2、YD2に対向する部分のアドレス電極Aを露出している。かかる構成にすることで、ダミーの表示電極対間でサステイン放電させて余剰電荷を放電空間を経由して露出されたアドレス電極Aに積極的に逃がすことができる。

【0030】図7は、空間電荷の蓄積を防止する為の別の構造を示す断面図である。図7の例では、誘電体層22が除去された領域でのアドレス電極Aとして、耐酸化性の電極層27を設ける。ガラス基板20上のアドレス電極Aの構造は、前述した通り例えばCr/Cu/Crの3層構造になっている。最下層のCr層は、ガラス基板20或いはガラス層21との密着性を高める機能を持ち、最上層のCr層は、導電率の高いCu層の熱による変形を防止する機能を有している。

【0031】ところが、2枚のガラス基板10、20をシール材26により封止する工程では、ガラス基板10側に例えばPbO等の低融点ガラスを形成し、両ガラス基板を約400℃の焼成温度下にて120分間の焼成を行う。その際に、アドレス電極のCr層が酸化されない様に、その上の誘電体層22や蛍光体層24で被覆した状態でガラス封止している。

【0032】そこで、図7の例では、空間電荷をリークする為に有効表示領域30の外側の領域32でアドレス電極を露出しているため、その露出部分を耐酸化性、耐熱性が高い銀ペースト層27で構成している。それ以外のCr層の部分は全て誘電体層22で被覆したままになっている。製造プロセスとしては、Cr/Cu/Crの3層構造のアドレス電極をガラス基板20上にスパッタリング法で形成し、リソグラフ工程により領域32の部分をエッチング除去し、その上に銀ペースト層27を形成する。そして、誘電体層22を形成した後に焼成し、最後に領域32の部分の誘電体層22を除去して銀ペースト層27を露出させる。

【0033】銀ペースト層27が形成されている領域32以外のアドレス電極Aは、全て誘電体層22に被覆されて、シール材26による封止の焼成工程を施される。そして、その焼成後にガラス基板20の両端のシール材26の外側で、アドレス電極Aが露出されてパッドPAとなり、フレキシブルケーブルFCに熱圧着されてドライバ回路34に接続される。尚、図7では簡単の為に、

左側のみフレキシブルケーブルFCの構成が示されている。

【0034】かかる構成にすることで、シール焼成時の焼成雰囲気下であっても露出したアドレス電極Aが酸化されることはない。そして、空間電荷をリークさせることができる。

【0035】図8は、空間電荷の蓄積を防止する為の別の構造を示す断面図である。この例では、図6と比較して有効表示領域30の外側の領域32にて、誘電体層22のみを除去した例である。蛍光体層24は粗い膜であり、空間電荷は蛍光体層24を介して露出されたアドレス電極Aにリークされる。この場合でも、図7の如く、露出されたアドレス電極を銀ペースト層27で構成することで、シール封止工程での酸化を防止することができる。

【0036】図9は、空間電荷の蓄積を防止する為の別の構造を示す断面図である。この例では、ガラス基板10側の有効表示領域30の外側の上下端に空間電荷をリークさせるリーク電極28を形成する。リーク電極28の構造は、例えば耐酸化性の高い銀ペースト膜等が好ましい。リーク電極28を所定の低電位に保つことで、正、負の電荷がリークすることができる。リーク電極28は、例えば、上下端の表示電極対に並べて設けられる。

【0037】図10は、更に空間電荷の蓄積を防止する為の別の構造を示す断面図である。この例では、有効表示領域30の外側にダミー表示電極対XD、YDが形成されているダミー領域32があり、その外側の領域24において、アドレス電極Aの誘電体層22と蛍光体層24が除去されている。アドレス放電期間において、ダミー表示電極対とアドレス電極Aとの間で放電を行わせて、ダミー領域の外側の領域34で空間電荷をリークさせる。それ以外の構成は、図6の場合と同じである。

【0038】図11は、更に空間電荷の蓄積を防止する為の別の構造を示す断面図である。この例では、図10の露出されたアドレス電極の部分を、図7の如く銀ペースト等の耐酸化性のある物質で構成している。その他の部分は、前述した通りである。

【0039】尚、上記の実施例では、2本ずつの表示電極対間で面放電を発生させる例を説明したが、本発明はこれに限らず、例えば表示電極を等間隔に配列して表示電極とその両側の表示電極との間で面放電を発生させる構成にしたパネルの場合も適用可能である。

【0040】

【発明の効果】以上説明した通り、本発明によれば、PDPの有効表示領域の外側にアドレス放電で転送されて蓄積される余剰電荷がリークされる構造を採用したので、その電荷が蓄積されて偶発放電を招くことが防止される。また、アドレス電極を露出する時は、その露出部分を耐酸化性の高い材料で構成することで、封止工程等

の焼成工程で酸化されることはない。

【0041】また、ダミー表示電極対に対向する部分のアドレス電極を露出させる構成にすることで、ダミー表示電極対間での放電を利用して有効に余剰電荷を放電空間を介してリークさせることができる。また、ダミー表示電極対の外側の領域でアドレス電極を露出させる構成でもリークさせることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のPDPの分解斜視図である。

【図2】本発明の実施の形態のPDPの断面図である。

【図3】3電極面放電型のPDPの表示電極対(X, Y電極)とアドレス電極との関係を示すパネルの平面図である。

【図4】PDPの駆動方法を説明する為の電極印加電圧波形図である。

【図5】偶発放電の説明図である。

【図6】空間電荷の蓄積を防止する為の構造を示す断面図である。

【図7】空間電荷の蓄積を防止する為の別の構造を示す断面図である。

【図8】空間電荷の蓄積を防止する為の別の構造を示す断面図である。

【図9】空間電荷の蓄積を防止する為の別の構造を示す断面図である。

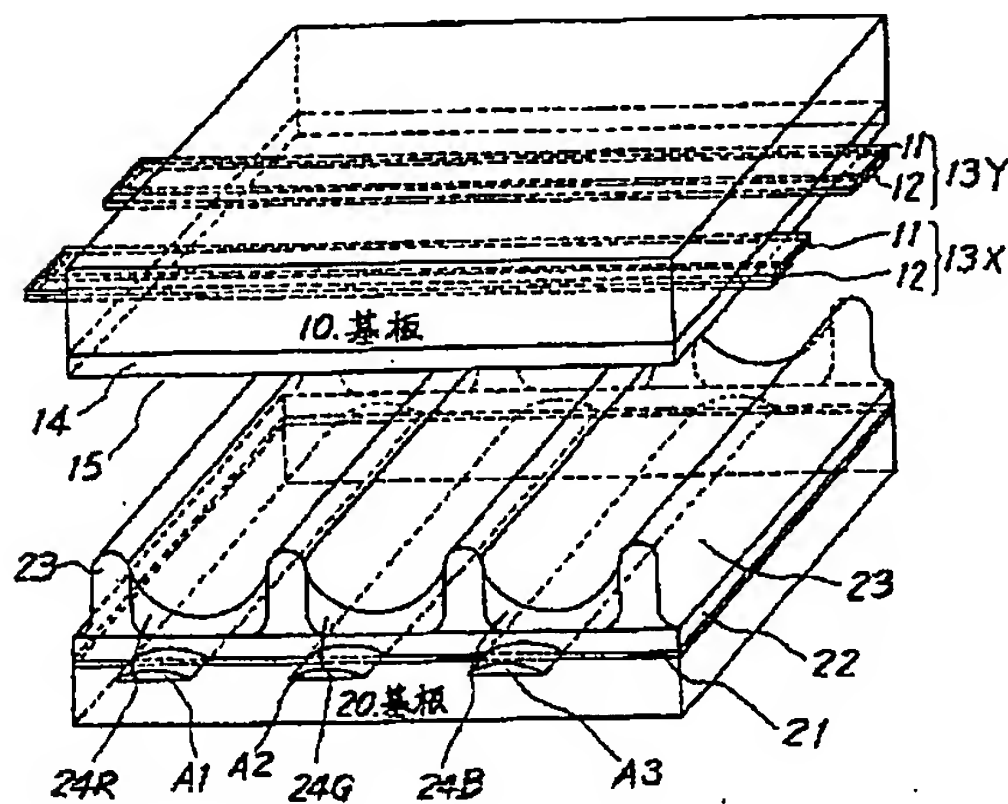
【図10】空間電荷の蓄積を防止する為の別の構造を示す断面図である。

【図11】空間電荷の蓄積を防止する為の別の構造を示す断面図である。

【符号の説明】

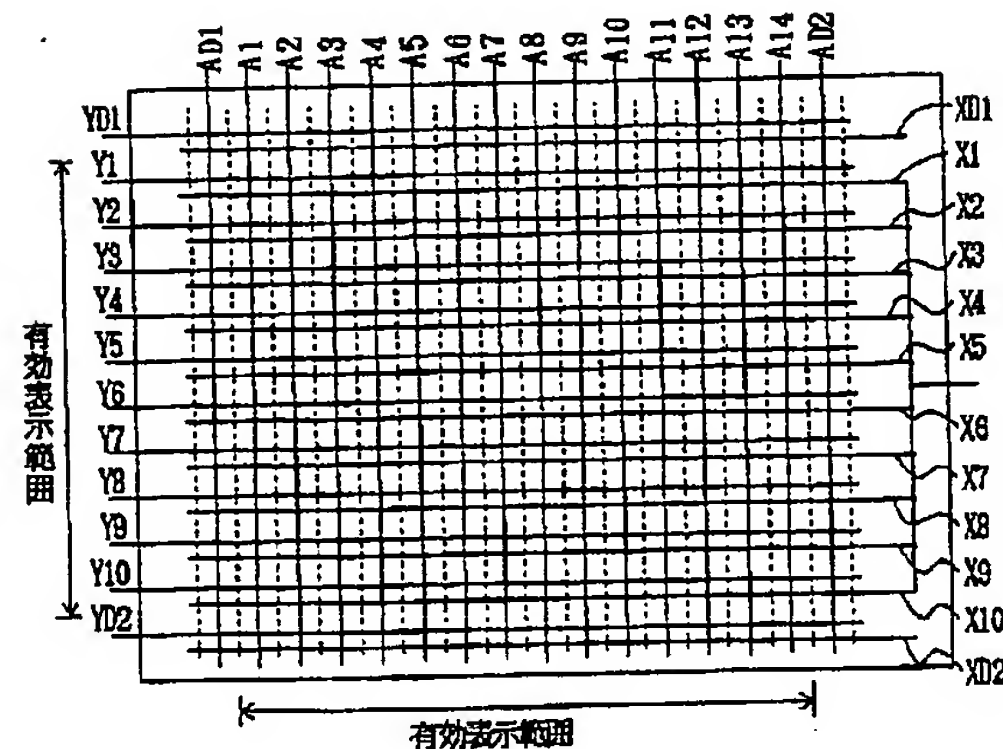
- |        |            |
|--------|------------|
| 10、20  | ガラス基板      |
| 13X, Y | 表示電極対      |
| 14     | 誘電体層       |
| A1, A2 | アドレス電極     |
| 22     | 誘電体層       |
| 24     | 蛍光体層       |
| 28     | リーク電極      |
| 32、34  | アドレス電極露出領域 |

【図1】



【図3】

面放電AC型PDPの概略平面図





【図5】

### 偶発放電の説明図

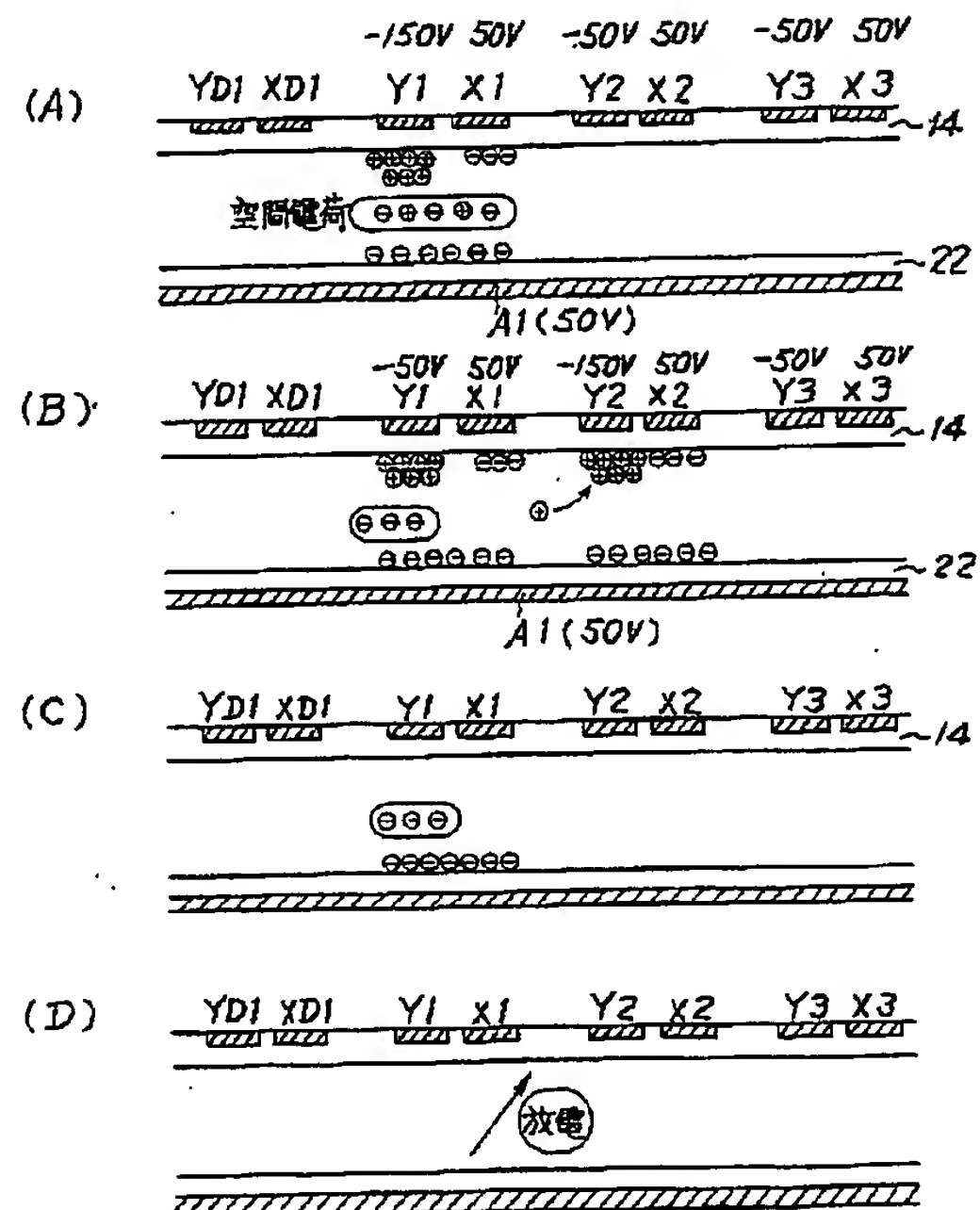
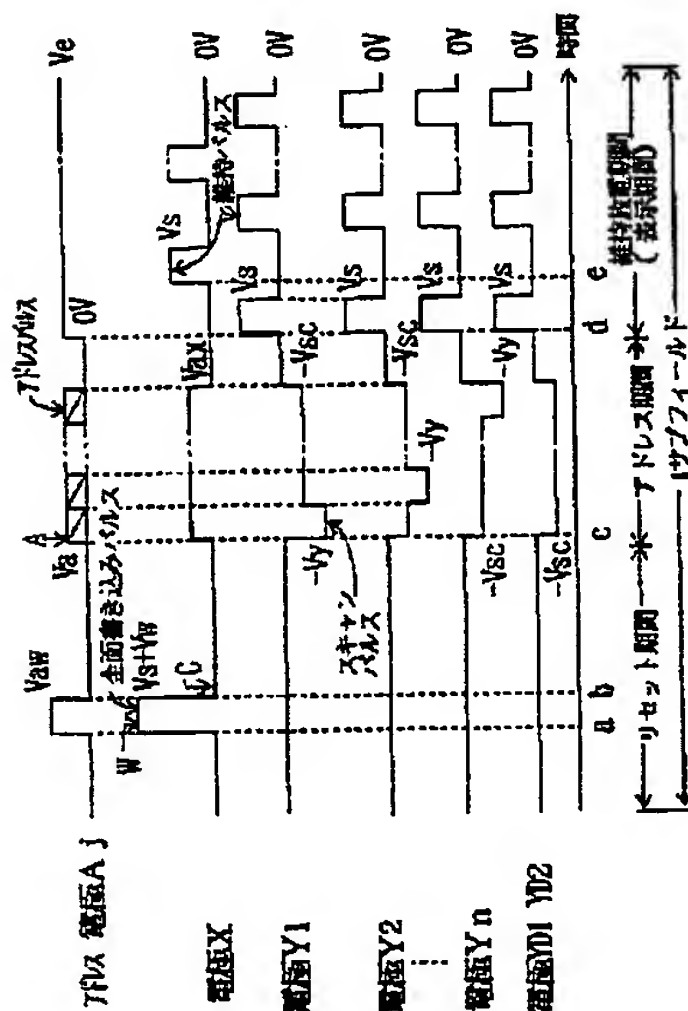
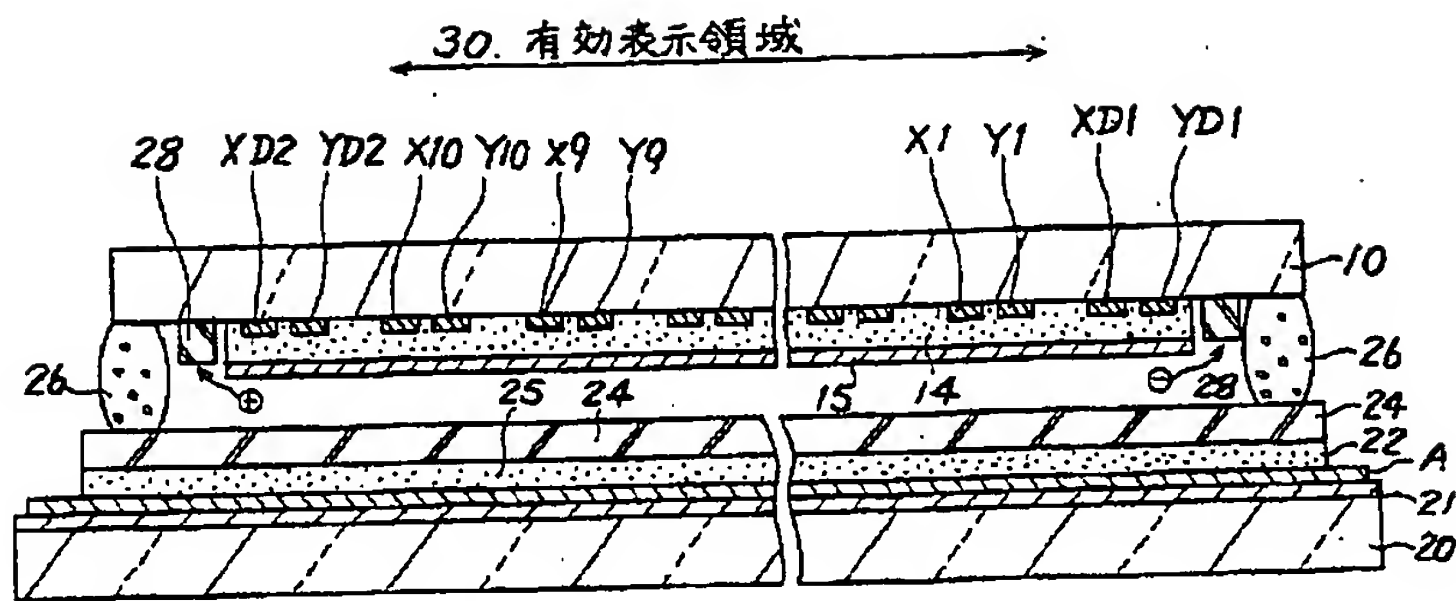
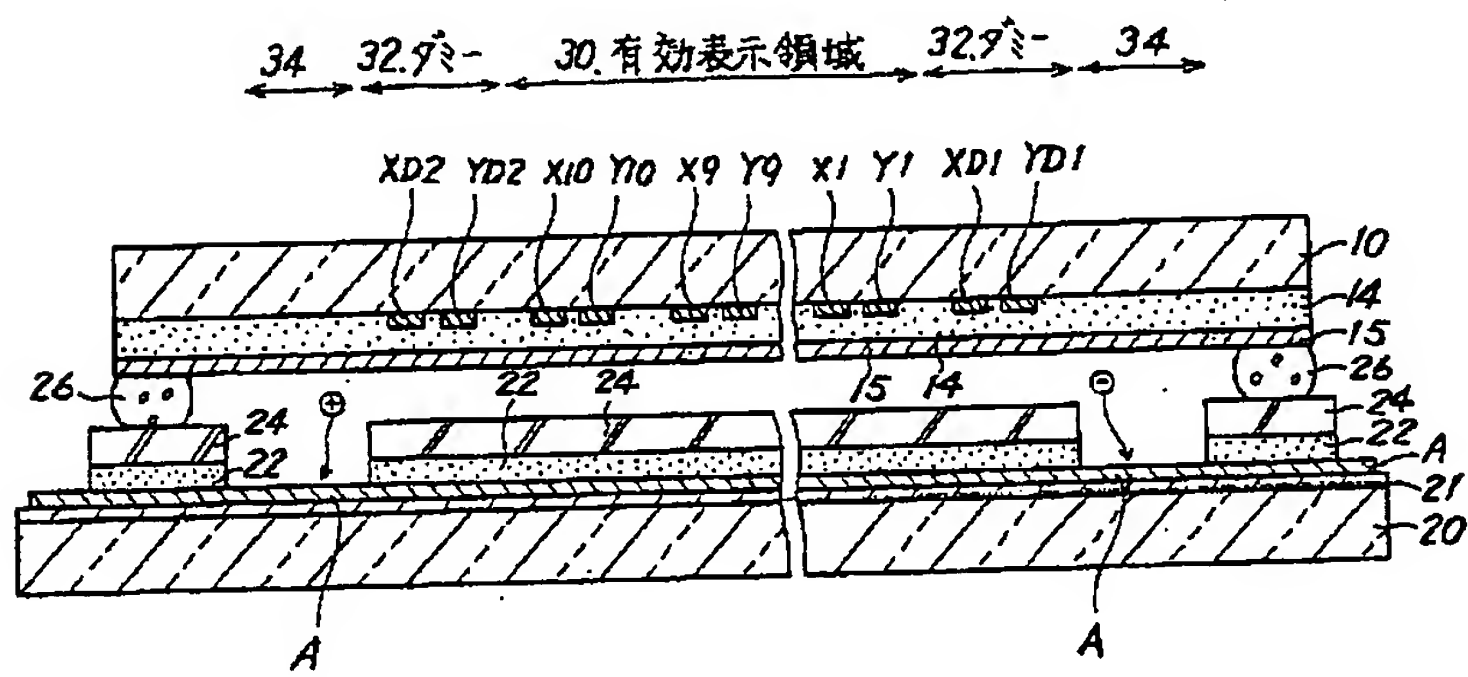


Figure 1 is a cross-sectional view of a semiconductor device. The device is shown in a cross-section A-A. It consists of a substrate 20, a base layer 21, and various layers 22, 24, 26, 14, 15, and 10. The device is divided into two active regions, 30 and 32, separated by a central region. The active regions 30 and 32 are defined by gates X1, Y1, XD1, and YD1. The central region contains gates X2, Y2, XD2, and YD2. The device is shown in a cross-section A-A.

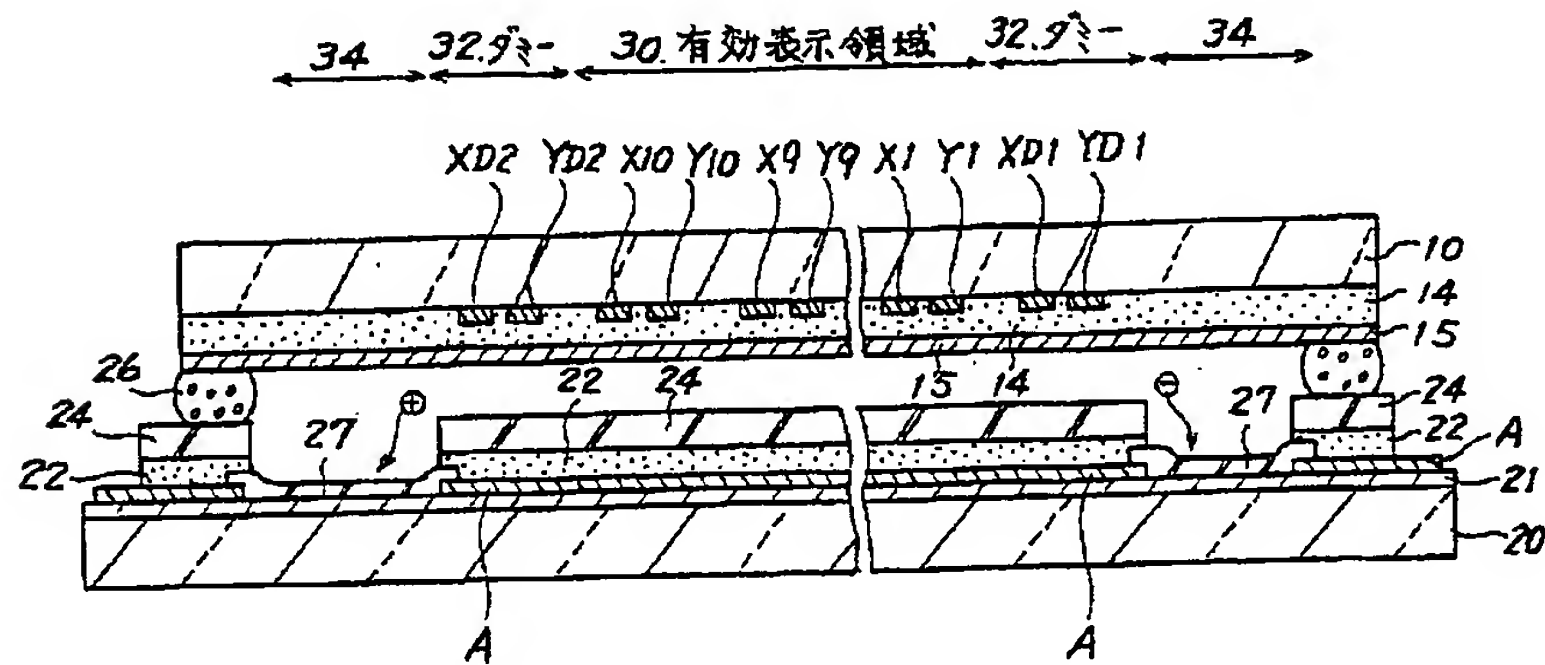
【図9】



【図10】



【図11】





## フロントページの続き

(72)発明者 富岡 哲好  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 吉川 和生  
鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内  
(72)発明者 金具 慎次  
鹿児島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内